

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-215089
(43)Date of publication of application : 31.07.2002

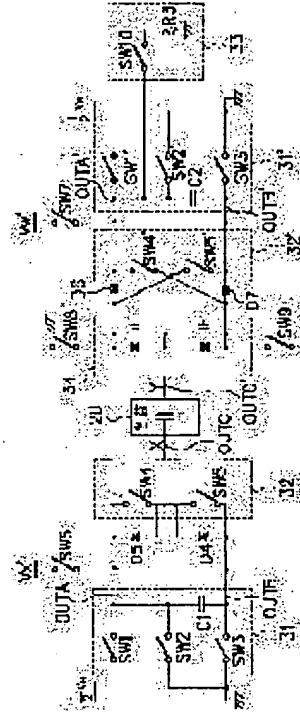
(51)Int.CI. G09G 3/28
G09G 3/20
G09G 3/288

(21)Application number : 2001-012420 (71)Applicant : FUJITSU HITACHI PLASMA DISPLAY LTD
(22)Date of filing : 19.01.2001 (72)Inventor : TOMIO SHIGETOSHI
KISHI TOMOKATSU
SAKAMOTO TETSUYA

(54) DEVICE AND METHOD FOR DRIVING PLANAR DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To output a stable inclined waveform even while simplifying a circuit configuration.
SOLUTION: An inclined waveform generation circuit for generating the inclined waveform to be applied to a capacitive load is connected between the ground and a signal line for supplying the higher potential side of a voltage generated by a power circuit for generating a prescribed voltage to be applied to the capacitive load being a display means, and the reference potential of the inclined waveform generation circuit is made to the ground potential, thus it is made possible to output the stable inclined waveform by a simple circuit configuration without providing a plurality of power circuits and a signal transmission circuit for converting the reference potential of a signal for controlling the inclined waveform generation circuit.



Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-215089

(P2002-215089A)

(43)公開日 平成14年7月31日(2002.7.31)

(51)Int.Cl.
G 0 9 G 3/28
3/20 6 2 2
3/28 6 2 4

F I
G 0 9 G 3/20
3/28

テマコード(参考)
6 2 2 C 5 C 0 8 0
6 2 2 G
6 2 4 M
E
J

審査請求 未請求 請求項の数 9 O.L (全 20 頁) 最終頁に続く

(21)出願番号 特願2001-12420(P2001-12420)

(71)出願人 599132708

富士通日立プラズマディスプレイ株式会社
神奈川県川崎市高津区坂戸3丁目2番1号

(22)出願日 平成13年1月19日(2001.1.19)

(72)発明者 富尾 重寿

神奈川県川崎市高津区坂戸3丁目2番1号
富士通日立プラズマディスプレイ株式会社内

(72)発明者 岸 智勝

神奈川県川崎市高津区坂戸3丁目2番1号
富士通日立プラズマディスプレイ株式会社内

(74)代理人 100090273

弁理士 國分 孝悦

最終頁に続く

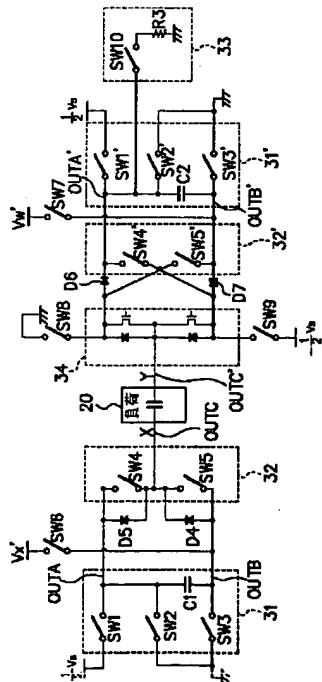
(54)【発明の名称】 平面表示装置の駆動装置および駆動方法

(57)【要約】

【課題】 回路構成を簡素化しながらも、安定した傾斜波形を出力することができるようとする。

【解決手段】 表示手段となる容量性負荷に印加する所定の電圧を生成する電源回路により生成された電圧の高電位側を供給する信号線と接地との間に上記容量性負荷に印加する傾斜波形を発生する傾斜波形発生回路を接続するようにして、上記傾斜波形発生回路の基準電位を接地電位とすることにより、複数の電源回路や上記傾斜波形発生回路の制御信号の基準電位を変換する信号伝達回路を設けずに、簡単な回路構成で安定した傾斜波形を出力することができるようとする。

第1の実施形態



【特許請求の範囲】

【請求項1】 表示手段となる容量性負荷の第1の電極に所定の電圧を印加し、第2の電極に上記第1の電極とは逆相の所定の電圧を印加することで上記表示手段を発光させる平面表示装置の駆動装置であって、

外部から供給される電源を用いて、上記容量性負荷に印加する電圧を生成する電源回路と、
上記電源回路により生成された電圧の高電位側を供給する信号線と接地との間に接続され、上記容量性負荷に印加する傾斜波形を発生する傾斜波形発生回路とを備えることを特徴とする平面表示装置の駆動装置。

【請求項2】 上記傾斜波形発生回路は、上記高電位側を供給する信号線と、接地との間に直列に接続したスイッチング回路と抵抗とを備えることを特徴とする請求項1に記載の平面表示装置の駆動装置。

【請求項3】 上記傾斜波形発生回路は、供給される上記スイッチング回路の制御信号を、上記スイッチング回路が動作可能な駆動レベルに変換する変換回路をさらに備えることを特徴とする請求項2に記載の平面表示装置の駆動装置。

【請求項4】 上記傾斜波形発生回路は、出力する傾斜波形の到達電位を調整する電位調整回路を備えることを特徴とする請求項2に記載の平面表示装置の駆動装置。

【請求項5】 上記傾斜波形発生回路は、出力する傾斜波形の傾きを調整する傾き調整回路を備えることを特徴とする請求項2に記載の平面表示装置の駆動装置。

【請求項6】 上記傾き調整回路は、ゲートチャージループ内に挿入された抵抗を用いることを特徴とする請求項5に記載の平面表示装置の駆動装置。

【請求項7】 上記容量性負荷に印加する傾斜波形は、正の電位から負の電位に変化する傾斜波形であることを特徴とする請求項1に記載の平面表示装置の駆動装置。

【請求項8】 表示手段となる容量性負荷の第1の電極に所定の電圧を印加し、第2の電極に上記第1の電極とは逆相の所定の電圧を印加することで上記表示手段を発光させる平面表示装置の駆動方法であって、

上記容量性負荷に所定の電圧が印加され、上記容量性負荷の電極が任意の電位であるときに、当該電極を介して上記容量性負荷に傾斜波形発生回路により発生した傾斜波形を印加し、上記容量性負荷の電極の電位を連続的に変化させることを特徴とする平面表示装置の駆動方法。

【請求項9】 上記容量性負荷の電極は任意の正の電位であり、上記容量性負荷に傾斜波形発生回路により発生した正の電位から負の電位に変化する傾斜波形を印加し、上記容量性負荷の電極の電位を連続的に低くすることを特徴とする請求項8に記載の平面表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、平面表示装置の駆

動装置および駆動方法に関し、特に、交流駆動型プラスマディスプレイの駆動装置に用いて好適なものである。

【0002】

【従来の技術】 従来から平面表示装置の1つである交流駆動型プラスマディスプレイパネル(Plasma Display Panel: PDP)には、2本の電極で選択放電(アドレス放電)および維持放電を行う2電極型と、第3の電極を利用してアドレス放電を行う3電極型とがあった。また、上記3電極型においては、維持放電を行う第1の電極と第2の電極とが配置されている基板に第3の電極を形成する場合と、対向するもう1つの基板に当該第3の電極を形成する場合とがあった。

【0003】 上記した各タイプのPDP装置は、何れも動作原理は同一であるので、以下では、維持放電を行う第1および第2の電極を第1の基板に設けるとともに、これとは別に、当該第1の基板と対向する第2の基板に第3の電極を設けたPDP装置についてその構成例を説明する。

【0004】 図13は、交流駆動型PDP装置の全体構

成を示す図である。図13において、交流駆動型PDP装置1は、各セルが表示画像の1画素であるマトリックス状に配置された複数のセルを備えており、図13においてはm行n列のマトリックスに配置されたセルからなる交流駆動型PDP装置を示している。また、交流駆動型PDP1には、第1の基板に互いに平行な走査電極Y1～Ynおよび共通電極Xが設けられるとともに、上記第1の基板に対向する第2の基板にこれらの電極Y1～Yn、Xと直交する方向にアドレス電極A1～Amが設けられている。共通電極Xは、各走査電極Y1～Ynに対応してこれに接近して設けられ、一端が互いに共通に接続されている。

【0005】 上記共通電極Xの共通端はX側回路2の出力端に接続され、各走査電極Y1～YnはY側回路3の出力端に接続されている。また、アドレス電極A1～Amはアドレス側回路4の出力端に接続されている。X側回路2は放電を繰り返す回路から成り、Y側回路3は線順次走査する回路と放電を繰り返す回路とから成る。また、アドレス側回路4は、表示すべき列を選択する回路から成る。これらのX側回路2、Y側回路3およびアドレス側回路4は、制御回路5から供給される制御信号により制御される。すなわち、アドレス側回路4とY側回路3内の線順次走査する回路によりどこのセルを点灯させるかを決め、X側回路2およびY側回路3の放電を繰り返すことによって、PDPの表示動作を行う。

【0006】 制御回路5は、外部からの表示データD、表示データDの読み込みタイミングを示すクロックCLK、水平同期信号HSおよび垂直同期信号VSに基づいて上記制御信号を生成し、X側回路2、Y側回路3およびアドレス側回路4に供給する。

【0007】 図14(a)は、1画素である第i行第j

列のセルC_{ij}の断面構成を示す図である。図14(a)において、共通電極Xおよび走査電極Y_iは、前面ガラス基板11上に形成されている。その上には、放電空間17に対し絶縁するための誘電体層12が被着されるとともに、更にその上にMgO(酸化マグネシウム)保護膜13が被着されている。

【0008】一方、アドレス電極A_jは、前面ガラス基板11と対向して配置された背面ガラス基板14上に形成され、その上には誘電体層15が被着され、更にその上に蛍光体18が被着されている。MgO保護膜13と誘電体層15との間の放電空間17には、Ne+Xeペニングガス等が封入されている。

【0009】図14(b)は、交流駆動型PDPの容量C_pについて説明するための図である。図14(b)に示すように、交流駆動型PDPには、放電空間17、共通電極Xと走査電極Yとの間、および前面ガラス基板11にそれぞれ容量成分C_a、C_b、C_cが存在し、これらの合計によってセル1つ当たりの容量C_{p cell}が決まる(C_{p cell}=C_a+C_b+C_c)。全てのセルの容量C_{p cell}の合計がパネル容量C_pである。

【0010】また、図14(c)は、交流駆動型PDPの発光について説明するための図である。図14(c)に示すように、リブ16の内面には、赤、青、緑色の蛍光体18がストライプ状に各色毎に配列、塗付されており、共通電極Xおよび走査電極Yの間の放電によって蛍光体18を励起して発光するようになっている。

【0011】図15は、従来の交流駆動型PDPの駆動方法の一例を示すタイムチャートであり、1フレームを構成する複数のサブフィールドのうちの1サブフィールド分を示している。1つのサブフィールドは、全面書き込み期間および全面消去期間から成るリセット期間と、アドレス期間と、維持放電期間とに区分される。

【0012】リセット期間においては、まず全ての走査電極Y₁～Y_nがグランドレベル(0V)にされ、これと同時に共通電極Xに電圧V_s+V_w(約400V)から成る全面書き込みパルスが印加される。このときのアドレス電極A₁～A_mの電位は、全てV_{aw}(約100V)である。この結果、以前の表示状態に関わらず、全表示ラインの全セルで放電が行われ、壁電荷が形成される。

【0013】次に、共通電極Xとアドレス電極A₁～A_mの電位が0Vとなることにより、全セルにおいて壁電荷自身の電圧が放電開始電圧を越えて放電が開始される。この放電では、電極間の電位差がないため、壁電荷は形成されず、空間電荷はいわゆる自己消去放電を行い自己中和し放電が終息する。これにより、パネル内の全セルの状態が壁電荷のない均一な状態となる。このリセット期間は、前のサブフィールドにおける各セルの点灯状態に関わらず全てのセルを同じ状態にする作用があり、これによって次のアドレス(書き込み)放電を安定して行うことができるようになる。

【0014】次に、アドレス期間において、表示データに応じて各セルのON/OFFを行うために、線順次でアドレス放電が行われる。すなわち、まず第1表示ラインに相当する走査電極Y₁に-V_yレベル(約-150V)、他の表示ラインに相当する走査電極Y₂～Y_nに-V_{sc}レベル(約-50V)の電圧が印加されるとともに、各アドレス電極A₁～A_m中の維持放電を起こすセル、すなわち点灯させるセルに対応するアドレス電極A_j(jは任意。但し、1≤j≤m)に、電圧V_a(約50V)のアドレスパルスが選択的に印加される。

【0015】この結果、点灯させるセルのアドレス電極A_jと走査電極Y₁との間で放電が起こり、これをブライミング(種火)として、電圧V_x(約50V)の共通電極Xと走査電極Y₁との放電に即移行する。これにより、選択セルの共通電極Xおよび走査電極Y₁の上のMgO保護膜13面に、次の維持放電が可能な量の壁電荷が蓄積される。以下、他の表示ラインに相当する走査電極Y₂～Y_nについても同様に、選択セルの走査電極には-V_yレベルの電圧が順次印加され、非選択セルの残りの走査電極には-V_{sc}レベルの電圧が印加されることにより、全表示ラインにおいて新たな表示データの書き込みが行われる。

【0016】その後、維持放電期間になると、走査電極Y₁～Y_nと共通電極Xとに電圧V_s(約200V)から成る維持パルスが交互に印加されて維持放電が行われ、1サブフィールドの映像表示が行われる。なお、この維持放電期間の長短、つまり維持パルスの回数あるいは周波数によって、映像の輝度が決定される。

【0017】なお、交流駆動型PDPにおいて、共通電極X、走査電極Y間に面してガス放電を開始する電圧V_fは、一般的に220V～260Vである。ここで、上記走査電極Yは、上述した走査電極Y₁～Y_nの任意の1つの走査電極である。アドレス期間に、例えば表示させたいセルにおいてアドレス電極Aと走査電極Yとの間に電圧を印加してガス放電させ、これをトリガとして共通電極Xと走査電極Yの間に放電させ、そのセル内の共通電極Xと走査電極Y上に壁電荷を残す。

【0018】次に、維持放電期間において、アドレス期間にて生成された壁電荷V_{wall}と共通電極Xおよび走査電極Y間に印加する維持パルス電圧V_sにより、|V_s+V_{wall}|をV_f以上にすることにより、ガス放電を行うことができる。電圧V_sの値は放電開始電圧V_fを超えないものとし、|V_s|<|V_f|<|V_s+V_{wall}|となる電圧値をV_sとする。

【0019】なお、共通電極Xと走査電極Yとの間でガス放電が行われると、そのセル内の共通電極Xと走査電極Y上の壁電荷は、それまでとは逆の極性の壁電荷となり、ガス放電を収束させる。次に、共通電極Xと走査電極Yとの間にそれまでとは逆極性の維持パルス電圧V_sを印加することにより、共通電極Xと走査電極Y上に形

成された壁電荷を利用して、再びガス放電が行われる。以上の動作を繰り返し行うことにより、ガス放電を繰り返し行うことができる。

【0020】

【発明が解決しようとする課題】しかしながら、上述した駆動方法により交流駆動型PDPを駆動する場合には、上記図15に示すタイムチャートに従った駆動電圧を各電極に印加しなければならず、交流駆動型PDPの駆動装置を構成する各素子には、大きな耐圧を備える素子を用いなければならなかった。特に、上記図15に示す全面書き込みパルス電圧 $V_s + V_w$ （約400V）をX電極に印加する回路では、上記全面書き込みパルス電圧分の非常に大きな耐圧を備える素子を、当該回路を構成する素子に用いなければならなかった。そのため、十分な耐圧を確保するために高価で大きいFET等のスイッチ素子を使用する必要があり、回路構成が複雑になるとともに、製造コストが非常に高くなるという問題があった。

【0021】上記問題を解決する方法の一つとして、交流駆動型PDPの電極間で放電を行う際に、一方の電極には正の電圧を印加し、他方の電極には負の電圧を印加することで、電極間の電位差を利用して電極間の放電を行う交流駆動型PDPの駆動方法が提案されている。

【0022】図16は、電極間で放電を行う際に、電極間の電位差を利用して電極間で放電を行う交流駆動型PDPの駆動方法を実現するための駆動装置の回路構成例を示す図である。図16において、負荷20は、1つの共通電極Xと1つの走査電極Yとの間に形成されているセルの合計の容量である。また、負荷20には、共通電極Xおよび走査電極Yが形成されている。

【0023】共通電極X側の回路のスイッチSW1、SW2は、図示しない電源回路から供給される電圧（ $V_s/2$ ）の電源ラインとグラウンド（GND）との間に直列に接続される。上記2つのスイッチSW1、SW2の中間からはコンデンサC1の一方の端子が接続され、このコンデンサC1のもう一方の端子とGNDとの間には、スイッチSW3が接続される。

【0024】また、スイッチSW4、SW5は、上記コンデンサC1の両端に直列に接続される。そして、これら2つのスイッチSW4、SW5の中間から負荷20の共通電極Xが接続されている。スイッチSW6は、共通電極Xに電圧 V_x' （= $V_s/2 + V_x$ ）を印加するためのスイッチであり、図示しない電源回路から供給される電圧 V_x' の電源ラインと第2の信号ラインOUTBとの間に直列に接続される。

【0025】ダイオードD4は、走査電極Yに印加されている正の電圧（+ $V_s/2$ ）をグラウンドレベルに戻すタイミングでGNDから共通電極Xを介して負荷20に電流を流すためのものである。また、ダイオードD5は、走査電極Yに正の電圧（+ $V_s/2$ ）を印加するタ

イミングで負荷20から共通電極Xを介してGNDに電流を流すためのものである。

【0026】一方、走査電極Y側の回路のスイッチSW1'、SW2'は、図示しない電源回路から供給される電圧（ $V_s/2$ ）の電源ラインとGNDとの間に直列に接続される。これら2つのスイッチSW1'、SW2'の中間からはコンデンサC2の一方の端子が接続され、このコンデンサC2のもう一方の端子とGNDとの間には、スイッチSW3'が接続される。

【0027】また、コンデンサC2の一方の端子に接続されたスイッチSW4'は、ダイオードD7のカソードと接続され、ダイオードD7のアノードとコンデンサC2のもう一方の端子が接続される。コンデンサC2のもう一方の端子に接続されたスイッチSW5'は、ダイオードD6のアノードと接続され、ダイオードD6のカソードとコンデンサC2の一方の端子が接続される。

【0028】そして、ダイオードD7のカソードと接続されるスイッチSW4'、ダイオードD6のアノードと接続されるスイッチSW5'のそれぞれの一端からスキヤンドライバ21を介して負荷20が接続されている。スキヤンドライバ21は、直列接続された2つのトランジスタを備えており、上記2つのトランジスタの間から負荷20の走査電極Yに接続されている。なお、このスキヤンドライバ21は、PDPが備える複数の表示ラインに対してそれぞれ備えられている。

【0029】スイッチSW7は、PDPの全セルに書き込み動作を行うための電圧 V_w' （= $V_s/2 + V_w$ ）を走査電極Yに印加するためのスイッチであり、図示しない電源回路から供給される電圧 V_w' の電源ラインと第4の信号ラインOUTB'との間に直列に接続される。このスイッチSW7は、抵抗R1を備えており、この抵抗R1の作用により、時間経過とともに連続的に印加電圧を変化させて走査電極Yに電圧 V_w' を印加する。

【0030】スイッチSW8、SW9は、アドレス期間中にスキヤンドライバ21の両端に（ $V_s/2$ ）の電位差を与えるためのものである。すなわち、アドレス期間中には、スイッチSW2'およびスイッチSW8をONにすることによりスキヤンドライバ21の上側の電圧をグラウンドレベルにする。また、スイッチSW9をONとすることにより、接続されている電源回路から供給される負の電圧-Vyを第4の信号ラインOUTB'を介してスキヤンドライバ21の下側に印加する。このようにして、線順次に選択された表示ラインに相当する走査電極Yにスキャンパルスを出力する際には、スキヤンドライバ21によって当該走査電極Yに負の電圧-Vyを印加する。

【0031】22は鈍波発生回路であり、リセット期間において走査電極Yに電圧 V_w' を印加した後、PDPの全セルの消去動作を行うために走査電極Yに電圧-Vyを印加するための回路である。鈍波発生回路22は、

図示しない電源回路から供給される電圧-Vyの電源ラインとスキャンドライバ21の上側との間に直列に接続されるスイッチSW11を備えており、さらに、スイッチSW11は、抵抗R2を備えている。この抵抗R2の作用により、上記電圧Vw'から電圧-Vyに時間経過とともに連続的に印加電圧を変化させる。

【0032】図17は、上記鈍波発生回路22の詳細な回路構成を示す図である。なお、この図17において、図16に示した駆動装置と同様の機能を有する部分には同一の符号を付し、重複する説明は省略する。

【0033】図17において、23はフォトカプラであり、図示しない駆動信号発生回路から供給されるスイッチSW11に対する制御信号の基準レベルを、グランドレベルからスイッチSW11の基準レベルである-Vy電位レベルにレベル変換する。24はスイッチSW11駆動用のMOSドライバであり、上記フォトカプラ23によりレベル変換されたスイッチSW11に対する制御信号をスイッチSW11のゲート駆動レベルにレベルシフトし、スイッチSW11に供給する。このMOSドライバ24は、2つのトランジスタTr11、Tr12を備えており、上記フォトカプラ23によりレベル変換されたスイッチSW11に対する制御信号に従ってトランジスタTr11、Tr12のON/OFF制御を行うことにより、スイッチSW11に対する駆動電圧をスイッチSW11に供給する。

【0034】26は、鈍波発生回路22を構成する各素子の基準電位となる電圧-Vyを発生する電源回路である。25は、上記電源回路26により発生される-Vy電位を基準レベルとした電圧Veを発生し供給するフローティング電源であり、フォトカプラ23の出力部(受光素子)およびMOSドライバ24に-Vy電位を基準レベルとした電圧Veを供給する。つまり、フローティング電源25は、スイッチSW11のゲート電圧を供給するためのものである。

【0035】図18は、上記図16および図17に示す駆動装置を用いた交流駆動型PDPの駆動方法の一例を示すタイムチャートである。図18においては、上述した図15と同様に、1フレームを構成する複数のサブフィールドのうちの1サブフィールド分を示している。なお、この図18は、直前のサブフィールドの処理において、共通電極X側のコンデンサC1、走査電極Y側のコンデンサC2に電圧(Vs/2)分の電荷が蓄積されているものとして説明している。

【0036】リセット期間においては、まず、共通電極X側のスイッチSW2、SW5がONとなり、スイッチSW1、SW3、SW4、SW6がOFFとなる。これにより、第2の信号ラインOUTBの電圧が、コンデンサC1に蓄積されている電荷に応じて(-Vs/2)に引き下げられる。そして、スイッチSW5を介して出力ラインOUTCに出力され、共通電極Xに負の電圧(-

Vs/2)が印加される。

【0037】また、これと同時に、走査電極Y側では、スイッチSW7がONとなり、スイッチSW1'～SW5'、SW8、SW9およびSW11がOFFとなる。これにより、全ての走査電極Yに正の電圧Vw' (=Vs/2 + Vw)を印加する。これにより、共通電極Xと走査電極Yとの間が、図15に示す全面書き込みパルスの電圧(Vs + Vw)に相当する電位差となる。また、この走査電極Yに印加する正の電圧(Vs/2 + Vw)

10 は、印加電圧が時間経過とともに連続的に変化するように印加する。なお、以下の説明では、維持放電期間に電極に印加するパルスのように短時間で電圧が変化する波形に対し、十分長い時間をかけて電圧が時間経過とともに連続的に変化する傾斜波形を「鈍波」と称す。

【0038】このような鈍波を印加すると、鈍波の立ち上がり中のY電極の電圧と共通電極Xの電圧との電位差が放電開始電圧に達したセルから順次放電が行われるため、各セルは最適な電圧(放電開始電圧にほぼ等しい電圧)で放電を行うことになる。

20 【0039】次に、共通電極X側のスイッチSW5をOFFにし、スイッチSW4をONにして、共通電極Xの電圧をグランドレベル(0V)する。その後、共通電極X側のスイッチSW2をOFFにし、スイッチSW5、SW6をONにすることにより共通電極Xに正の電圧Vx' (Vs/2 + Vx)を印加する。

【0040】一方、走査電極Y側では、スイッチSW7をOFFにし、スイッチSW11をONにすることにより、電圧が徐々に降下し最終的に負の電圧(-Vy)に達する鈍波を走査電極Yに印加する。ここで、負の電圧(-Vy)は、約(-Vs/2)である。これにより、すべてのセルにおいて壁電荷自身の電圧が放電開始電圧を越えて放電が開始される。このとき、鈍波の印加によって共通電極Xと走査電極Yとの間で微弱放電が行われ、蓄積されていた壁電荷が一部を除いて消去される。

30 【0041】また、アドレス期間では、表示データに応じて各セルのON/OFFを行うために、線順次でアドレス放電が行われる。このとき、共通電極X側のスイッチSW2をOFFにし、スイッチSW5、SW6をONにすることにより、共通電極Xに電圧Vx'を印加する。また、走査電極Yについては、線順次に選択されたある表示ラインに相当する走査電極Yには、スイッチSW2'、SW8、SW9をONにすることにより(-Vs/2)レベルの電圧を印加し、非選択の走査電極YにはスイッチSW2'、SW8をONにすることにより、グランドレベルの電圧を印加する。

【0042】このとき、各アドレス電極A1～Am中の維持放電を起こすセル、すなわち点灯させるセルに対応するアドレス電極Ajには、電圧Vaのアドレスパルスが選択的に印加される。この結果、点灯させるセルのアドレス電極Ajと線順次で選択された走査電極Yとの間

で放電が起り、これをブライミング（種火）として共通電極Xと走査電極Yとの放電に即移行する。これにより、選択セルの共通電極Xおよび走査電極Yの上のMgO保護膜面に、次の維持放電が可能な量の壁電荷が蓄積される。

【0043】ここで、上記リセット期間中の全面消去期間において上述のように鈍波を印加して微弱放電を行うことにより、アドレス電極A_jと走査電極Yとの間での放電は、その電極間の電位差 ($V_a + V_s / 2$) によって開始される。これは、上記リセット期間において走査電極Y上の壁電荷を完全には消去せず、壁電荷をある程度残しておくことにより、残留壁電荷分と実際の印加電圧とで放電開始電圧に達し、放電が開始されるためである。

【0044】また、維持放電期間では、スイッチSW6～SW9、SW11をOFFにし、共通電極X側のスイッチSW1～SW5および走査電極Y側のスイッチSW1'～SW5'を適当なタイミングでON/OFF制御することにより、共通電極Xと各表示ラインの走査電極Yとに電圧が $V_s / 2 \rightarrow 0V \rightarrow -V_s / 2 \rightarrow 0V \rightarrow V_s / 2 \rightarrow \dots$ と変化し、互いに位相の異なる電圧が印加される。これにより、共通電極Xと各表示ラインの走査電極Yとの電位差が図15に示す維持パルス電圧に等しい電位差となり、維持放電が行われ、1サブフィールドの映像表示が行われる。この維持放電期間中において、アドレス電極A₁～A_mの電位は、共通電極Xと走査電極Yの中間電位であるグランドレベルに維持される。

【0045】以上のように、上記図16および図17に示す駆動装置を用いて、一方の電極には正の電圧を印加して、他方の電極には負の電圧を印加することにより、上記図15に示す各パルスに相当する電位差を電極間に発生させることができ、上記図15に示すようなタイムチャートに従い交流駆動型PDPの駆動する場合と比較して、駆動装置を構成する各素子の耐圧を小さくすることができる。

【0046】また、上記リセット期間中の全面消去期間において鈍波を印加することで、走査電極Y上の壁電荷を完全には消去せず、壁電荷をある程度残すように微弱放電を行うことにより、アドレス期間中のアドレス電極A_jと走査電極Yとの間での放電は、従来の電位差 ($V_a + V_y$) よりも低い電位差 ($V_a + V_s / 2$) によって開始することができ、維持放電期間にて点灯させるセルを的確に選択することができる。

【0047】しかしながら、提案されているPDPの駆動装置では、図17に示すように外部から電圧-V_yと電圧-V_{e y}とを供給する電源回路をそれぞれ設けなければならなかった。さらに、鈍波発生回路22に供給される制御信号とスイッチSW11を駆動する信号との信号の基準レベルが異なるため、GND基準で入力された信号を-V_e基準の信号に変換し伝達するためのフォト

カプラ等の信号伝達手段を設けなければならず、回路構成が非常に複雑になるという問題があった。

【0048】本発明は、このような問題を解決するため成されたものであり、複数の電源回路や制御信号の基準電位を変換する信号伝達回路を設けることなく回路構成を簡素化しながらも、安定した傾斜波形を出力することができるようすることを目的とする。

【0049】

【課題を解決するための手段】本発明の平面表示装置の駆動装置は、外部から供給される電源を用いて、表示手段となる容量性負荷に印加する所定の電圧を生成する電源回路と、上記電源回路により生成された電圧の高電位側を供給する信号線と接地との間に接続され、上記容量性負荷に印加する傾斜波形を発生する傾斜波形発生回路とを備えることを特徴とする。

【0050】上記のように構成した本発明によれば、上記傾斜波形発生回路が電源回路により生成された電圧の高電位側を供給する信号線と接地との間に接続されるので、上記傾斜波形発生回路の基準電位を接地電位として動作させることができ、複数の電源回路や上記傾斜波形発生回路の制御信号の基準電位を変換する信号伝達回路を設けなくとも、安定した傾斜波形を出力することができるようになる。

【0051】

【発明の実施の形態】以下に、本発明の一実施形態を図面に基づいて説明する。

(第1の実施形態) 図1は、第1の実施形態による駆動装置の構成例を示す図である。上記図1に示す駆動装置は、上述した図13および図14に示すような交流駆動型PDPにて、一方の電極には正の電圧を印加し、他方の電極には負の電圧を印加することで、電極間の電位差を利用して電極間の放電を行う駆動方法を実現する交流駆動型PDPの駆動装置である。図1において、負荷20は、1つの共通電極Xと1つの走査電極Yとの間に形成されているセルの合計の容量である。また、負荷20には、共通電極Xおよび走査電極Yが形成されている。

【0052】31は電源回路であり、図示しない電源から供給される電圧 ($V_s / 2$) を用いて、正負の電圧 (+ $V_s / 2$ 、 - $V_s / 2$) を切り替えて出力する。また、32はドライバ回路であり、上記電源回路31から供給される電源電圧 ($\pm V_s / 2$) を負荷20に印加する。上記電源回路31およびドライバ回路32との間は、第1の信号ラインOUTAと第2の信号ラインOUTBにより接続されている。これらの電源回路31およびドライバ回路32は、負荷20の共通電極X側に接続されるものである。

【0053】上記電源回路31は、コンデンサC1と、3つのスイッチSW1、SW2、SW3とを備えており、上記2つのスイッチSW1、SW2は、図示しない電源から供給される電圧 ($V_s / 2$) の電源ラインとグ

・ ランド (GND)との間に直列に接続される。また、上記2つのスイッチ SW1, SW2 の相互接続点にコンデンサ C1 の一方の端子が接続され、このコンデンサ C1 の他方の端子と GNDとの間には、残りのスイッチ SW3 が接続される。

【0054】上記ドライバ回路 32 は、2つのスイッチ SW4, SW5 を備えており、上記2つのスイッチ SW4, SW5 は、上記電源回路 31 内のコンデンサ C1 の両端に直列に接続される。そして、負荷 20 の電極 X は、出力ライン OUTC' を介して上記スイッチ SW4 および SW5 の相互接続点に接続される。

【0055】SW6 は、共通電極 X に電圧 Vx' ($= Vs/2 + Vx$) を印加するためのスイッチであり、図示しない電源から供給される電圧 Vx' の電源ラインと第2の信号ライン OUTB' との間に直列に接続される。また、D4, D5 はダイオードであり、スイッチ SW5, SW4 に対してそれ並列に接続されている。ダイオード D4 は、走査電極 Y に印加されている正の電圧 ($+Vs/2$) をグランドレベルに戻すタイミングで GND から共通電極 X を介して負荷 20 に電流を流すためのものである。また、ダイオード D5 は、走査電極 Y に正の電圧 ($+Vs/2$) を印加するタイミングで 負荷 20 から共通電極 X を介して GND に電流を流すためのものである。

【0056】また、31' は電源回路、32' はドライバ回路であり、上記電源回路 31 およびドライバ回路 32 と同様の構成を含む。上記電源回路 31' およびドライバ回路 32' との間は、第3の信号ライン OUTA' と第4の信号ライン OUTB' とにより接続されている。これらの電源回路 31' およびドライバ回路 32' は、負荷 20 の走査電極 Y 側に接続されるものである。

【0057】上記電源回路 31' 内の2つのスイッチ SW1', SW2' は、上記 SW1, SW2 と同様に図示しない電源から供給される電圧 ($Vs/2$) の電源ラインと GND との間に直列に接続されている。また、上記2つのスイッチ SW1', SW2' の相互接続点にはコンデンサ C2 の一方の端子が接続され、このコンデンサ C2 の他方の端子と GND との間には、残りのスイッチ SW3' が接続される。

【0058】上記ドライバ回路 32' 内のスイッチ SW4' は、コンデンサ C2 の上記一方の端子とダイオード D7 のカソードとの間に接続される。また、ダイオード D7 のアノードにはコンデンサ C2 の上記他方の端子が接続される。一方、上記ドライバ回路 32' 内のスイッチ SW5' は、コンデンサ C2 の上記他方の端子とダイオード D6 のアノードとの間に接続される。また、ダイオード D6 のカソードとコンデンサ C2 の上記一方の端子が相互に接続される。

【0059】そして、上記ドライバ回路 32' を構成するダイオード D7 のカソードと接続されるスイッチ SW

4'、ダイオード D6 のアノードと接続されるスイッチ SW5' のそれぞれの一端にはスキャンドライバ 34 を介して負荷 20 が接続されている。スキャンドライバ 34 は、直列接続された2つのトランジスタを備えており、上記2つのトランジスタの相互接続点は、出力ライン OUTC' を介して負荷 20 の走査電極 Y に接続されている。なお、このスキャンドライバ 34 は、PDP が備える複数の表示ラインに対してそれぞれ備えられている。

【0060】また、33 は鈍波発生回路であり、リセット期間中の全面消去期間において走査電極 Y に負の電圧を印加する際に鈍波を発生する回路である。上記鈍波発生回路 33 は、コンデンサ C2 の第3の信号ライン OUTA' 側、すなわちコンデンサ C2 において高電位となる電極側と GND との間に直列に接続された抵抗 R3 を有するスイッチ SW10 を備えており、上記抵抗 R3 の作用により電圧が時間経過とともに連続的に変化する鈍波を発生する。

【0061】SW7 は、リセット期間においてセルに書き込みを行うための電圧 Vw' を走査電極 Y に印加するためのスイッチであり、図示しない電源から供給される電圧 Vw' の電源ラインと第4の信号ライン OUTB' との間に直列に接続される。スイッチ SW7 は内部に抵抗を備えており、上記抵抗の作用により、時間経過とともに連続的に印加電圧を変化させて走査電極 Y に電圧 Vw' を印加する。

【0062】スイッチ SW8, SW9 は、アドレス期間中にスキャンドライバ 34 の両端に ($Vs/2$) の電位差を与えるためのものである。すなわち、アドレス期間中には、線順次に選択された表示ラインに相当する走査電極 Y にスキャンバルスを出力する際には、スイッチ SW2', SW8, SW9 を適当に制御することにより、スキャンドライバ 34 の上側の電圧をグランドレベルにし、スキャンドライバ 34 の下側の電圧を負の電圧 $-V_y$ にする。

【0063】図2は、上記図1に示した第1の実施形態による駆動装置の具体的な回路構成例を示す図である。なお、この図2において、図1に示した駆動装置と同様の機能を有する部分には同一の符号を付している。図2に示すように、スイッチ SW1～SW5, SW1'～SW5' および SW6～SW9 は、トランジスタ (MOS 電界効果トランジスタ (FET)) と必要に応じて MOSFET に接続されたダイオードにより構成される。また、図示してはいないが鈍波発生回路 33 内のスイッチ SW10 も同様の構成である。なお、鈍波発生回路 33 の詳細については後述する。

【0064】また、スイッチ SW7 は、上述したように MOSFET と抵抗 R1 とが電圧 Vw' の電源ラインと第4の信号ライン OUTB' との間に直列に接続されている。そして、スイッチ SW7 を ONにして、第4の信

号ラインOUT B'に電圧Vw'を供給する際には、抵抗R1の作用により時間経過とともに連続的に変化するようにして供給する。

【0065】次に、上記図1および図2に示す鈍波発生回路33について詳細に説明する。図3は、鈍波発生回路33の構成を説明するためのブロック図である。図3において、41は制御信号発生回路であり、鈍波発生回路33内のスイッチSW10に対する制御信号を生成したり、上記図1および図2に示す駆動装置の他のスイッチに対する制御信号を生成したりして、各スイッチを制御し各電極に所定の電圧を印加するための回路である。

【0066】33は鈍波発生回路であり、レベルシフト回路42およびスイッチSW10とを含み構成される。レベルシフト回路42は、上記制御信号発生回路41から供給されるスイッチSW10の制御信号を、スイッチSW10の駆動レベルにレベルシフトする。また、スイッチSW10は第3の信号ラインOUT A'のノードAにおける電位を変化させる回路であり、上記レベルシフト回路42によりレベルシフトされた制御信号に従って、内部に備えるトランジスタのON/OFFを切り替えることによりノードAにおける電位を変化させる。

【0067】図4は、上記図3に示したレベルシフト回路42およびスイッチSW10の具体的な回路構成の一例を示す図である。図4において、レベルシフト回路42は、GNDレベルを基準レベルとする電源Veが供給され、供給される電源VeとGNDとの間に直列に接続された2つのトランジスタTr1、Tr2を備えるMOSドライバにより構成する。また、上記直列に接続された2つのトランジスタTr1、Tr2の相互接続点にはスイッチSW10がレベルシフト回路42の出力端子を介して接続されており、入力されたスイッチSW10に対する制御信号をトランジスタTr1、Tr2により増幅し、スイッチSW10に駆動電圧を供給する。

【0068】すなわち、レベルシフト回路42は、図示しない制御信号発生回路41から入力端子Inを介して、供給されるスイッチSW10の制御信号に従って、上記2つのトランジスタTr1、Tr2をON/OFF制御することにより、スイッチSW10に駆動電圧を供給する。

【0069】スイッチSW10は、トランジスタTr3と抵抗R3、R5とを含み構成される。上記トランジスタTr3のゲートは、抵抗R5を介して上記レベルシフト回路(MOSドライバ)42の出力端子、すなわち上記2つのトランジスタTr1、Tr2の相互接続点に接続されている。また、上記トランジスタTr3のドレンは、ダイオードを介して第3の信号ラインOUT A'上のノードAに接続され、ソースは抵抗R3の一端に接続されている。そして、抵抗R3の他端は、GNDに接続されている。すなわち、スイッチSW10内のトランジスタTr3と抵抗R3とは、第3の信号ラインOUT

A' とGNDとの間に直列に接続されている。

【0070】このようにトランジスタTr3および抵抗R3を接続することにより、トランジスタTr3がOFF状態からON状態になると、ノードAの電位をGND(0V)にする。このとき、トランジスタTr3に直列に接続されている抵抗R3の作用により、ノードAの電位は時間経過とともに連続的に変化してGNDになる。

【0071】また、スイッチSW10においては、ゲートチャージループ内に設けられている、すなわちトランジスタTr3のゲートに接続されている抵抗R5およびトランジスタTr3のソースに接続されている抵抗R3の少なくとも一方の抵抗値を変えることにより、トランジスタTr3がOFF状態からON状態になった後、ノードAの電位がGNDになるまでの時間に対する電位の変化率を変えることができる。

【0072】図5は、第1の実施形態による駆動装置の駆動波形を示すタイムチャートである。なお、図5においては、1フレームを構成する複数のサブフィールドのうちの1サブフィールド分を示している。なお、この図5は、直前のサブフィールドの処理において、共通電極X側のコンデンサーC1、走査電極Y側のコンデンサーC2に電圧(Vs/2)分の電荷が蓄積されているものとして説明している。

【0073】なお、以下の説明では、共通電極X側のスイッチSW1～SW6の制御は、上述した図18と同じであるので、共通電極X側のスイッチSW1～SW6の制御については説明を省略し、走査電極Y側のスイッチSW1'～SW5'、SW7～SW10の制御について説明する。

【0074】リセット期間においては、まず、共通電極Xに負の電圧(-Vs/2)を印加する。また、これと同時に、走査電極Y側のスイッチSW7をONにし、スイッチSW1'～SW5'およびSW8～SW10をOFFにして、全ての走査電極Yに時間経過とともに連続的に変化し、最終的に正の電圧Vw' (=Vs/2 + Vw)に到達する鈍波を印加する。

【0075】この鈍波を印加している際に、鈍波の立ち上がり中のY電極の電圧と共通電極Xの電圧との電位差が放電開始電圧に達したセルから順次放電が行われ、各セルが最適な電圧(放電開始電圧にはほぼ等しい電圧)で放電を行うことができる。

【0076】次に、走査電極Yの印加電圧が電圧Vw'になる、すなわち共通電極Xと走査電極Yとの間の電位差が全面書き込みパルスの電圧(Vs + Vw)に相当する電位差となると、共通電極Xの電圧をグランドレベル(0V)にした後、共通電極Xに正の電圧(Vs/2)を印加する。

【0077】一方、走査電極Y側では、スイッチSW7をOFFにし、スイッチSW10をONにする。これにより、鈍波発生回路33はノードAを介して第3の信号

・ ラインOUTA'の電位をGNDに引き下げる。なお、このとき鈍波発生回路33内の抵抗R3の作用により、第3の信号ラインの電位は徐々に降下してGNDになる。

【0078】そして、第3の信号ラインOUTA'の電位がGNDになることにより、コンデンサC2の他端側に接続された第4の信号ラインOUTB'の電位が(-Vs/2)に引き下げられる。これにより、走査電極Yの電位を最終的に負の電圧(-Vs/2)にする。

【0079】このように最終的に負の電圧(-Vs/2)に到達する鈍波を走査電極Yに印加することにより、すべてのセルにおいて壁電荷自身の電圧が放電開始電圧を越えて放電が開始される。このとき、共通電極Xと走査電極Yとの間では、微弱放電が行われ、蓄積されていた壁電荷が一部を除いて消去される。

【0080】また、アドレス期間では、表示データに応じて各セルのON/OFFを行うために、線順次でアドレス放電が行われる。このとき、共通電極Xには電圧(Vs/2+Vx)を印加する。また、走査電極Yについては、線順次により選択されたある表示ラインに相当する走査電極YにはスイッチSW2'、SW8、SW9をONにして電圧(-Vs/2)を印加し、非選択の走査電極YはスイッチSW2'、SW8をONにし、スイッチSW9をOFFにすることによりGNDにする。

【0081】さらに、各アドレス電極A1～Am中の維持放電を起こすセル、すなわち維持放電期間において点灯するセルに対応するアドレス電極Ajには、電圧Vaのアドレスパルスを選択的に印加する。この結果、点灯させるセルのアドレス電極Ajと線順次で選択された走査電極Yとの間で放電が起り、これをブライミング(種火)として共通電極Xと走査電極Yとの放電に即移行し、選択セルの共通電極Xおよび走査電極Yの上のMgO保護膜面に、次の維持放電が可能な量の壁電荷が蓄積される。

【0082】ここで、上記リセット期間中の全面消去期間において徐々に印加電圧を低くする鈍波を印加して微弱放電を行うことで、走査電極Y上の壁電荷を完全には消去せず、壁電荷をある程度残しておくことができる。そのため、アドレス電極Ajと走査電極Yとの間の電位差が(Va+Vs/2)になると、残留壁電荷分と実際の印加電圧とで放電開始電圧に達し、アドレス電極Ajと走査電極Yとの間で放電が開始される。

【0083】また、維持放電期間では、各スイッチSW1～SW5およびSW1'～SW5'を図5に示すように適当なタイミングで制御することにより、共通電極Xおよび各表示ラインの走査電極Yに互いに位相が反転するように電圧(±Vs/2)を印加する。すなわち、共通電極Xに正の電圧(+Vs/2)を印加しているときには、走査電極Yには負の電圧(-Vs/2)を印加するようとする。このようにすることにより、共通電極X

と走査電極Y間の電位差を、共通電極Xと走査電極Yでの放電が可能な電圧にすることができる、維持放電が行われ、1サブフィールドの映像表示が行われる。この維持放電期間中において、アドレス電極A1～Amの電位は、共通電極Xと走査電極Yとの中間電位であるGNDに維持される。

【0084】以上、詳しく説明したように本実施形態によれば、コンデンサC2の陽極側、すなわち第3の信号ラインOUTA' とGNDとの間に抵抗R3を含むスイッチSW10を備えた鈍波発生回路33を接続することにより、上記鈍波発生回路33を構成する各素子の基準電位をGND電位とすることができます。したがって、図17に示すように複数の電源25、26を新たに設けることなく、駆動装置の他の素子が使用する電圧Vs/2を供給する電源を用いて鈍波発生回路33を動作させることができる。

【0085】また、スイッチSW10を構成するトランジスタTr3の基準電位もGND電位であるため、図17に示すフォトカプラ23のようなアイソレーション部品を用いて、外部から供給される制御信号の基準レベルをレベル変換しなくとも、供給された制御信号をそのままの基準レベル(GND基準)で上記トランジスタTr3に供給し制御することができる。

【0086】したがって、複数の電源や制御信号の基準レベルを変換するための回路(アイソレーション部品)等を用いることなく、簡単な回路構成でリセット期間中の全面消去において、正の電圧Vw'から負の電圧(-Vs/2)に時間経過とともに連続的に変化する傾斜波形を走査電極Yに印加することができる。

【0087】ここで、リセット期間中の全面消去期間において、走査電極Yに印加する電圧を正の電圧Vw'から負の電圧(-Vs/2)にする駆動方法としては、図6に示すような駆動装置を用いて、走査電極Yの電位をグランドレベルとした後、負の電圧(-Vs/2)になるように鈍波を印加する方法がある。

【0088】図6は、第1の実施形態による駆動装置と比較するための駆動装置の回路構成例である。なお、この図6において、図2および図16に示した駆動装置と同様の機能を有する部分には同一の符号を付し、重複する説明は省略する。この図6に示す駆動装置は、図16では1つの鈍波発生回路22により走査電極Yに印加する電圧を正の電圧Vw'から負の電圧(-Vs/2)にする鈍波を発生したのに対して、2つの鈍波発生回路22'、51により正の電圧Vw'から負の電圧(-Vs/2)にする鈍波を発生するようにしたものである。

【0089】図6において、鈍波発生回路22'は走査電極Yに印加する電圧を正の電圧Vw'からグランドレベル(0V)に変化させる鈍波を発生する回路であり、スイッチSW11'を含み構成される。このSW11'はスキャンドライバ34の電源ラインとGNDとの間に

直列に接続される。

【0090】また、鈍波発生回路51は、走査電極Yに印加する電圧をグランドレベル(0V)から負の電圧($-V_s/2$)に変化させる鈍波を発生する回路であり、スイッチSW12を含み構成される。このSW12はスキャンドライバ34の電源ラインと第4の信号ラインOUTB'との間に直列に接続される。すなわち、図6に示す駆動装置においては、まず、鈍波発生回路2'により走査電極Yの電圧を正の電圧Vw'からグランドレベルにした後、鈍波発生回路51により走査電極Yの電圧をグランドレベルから負の電圧($-V_s/2$)にする。

【0091】図7は、上記図6に示した鈍波発生回路2'、51の詳細な回路構成を示す図である。なお、この図7において、図6に示した駆動装置と同様の機能を有する部分には同一の符号を付している。

【0092】図7において、鈍波発生回路51は、フォトカプラ52、MOSドライバ53、スイッチ12を含み構成される。フォトカプラ52は、図示しない駆動信号発生回路から供給されるスイッチSW12に対する制御信号の基準レベルを、グランドレベルから第4の信号ラインOUTB'の電位レベルにレベル変換するものである。このレベル変換は、スイッチSW12を構成するトランジスタのソースが第4の信号ラインOUTB'に接続されており、当該トランジスタが上記第4の信号ラインOUTB'の電位を基準レベルとして動作するために行う。

【0093】MOSドライバ53は、上記フォトカプラ52によりレベル変換されたスイッチSW12に対する制御信号をスイッチSW12のゲート駆動レベルにレベルシフトし、スイッチSW12に供給する。このMOSドライバ53は、2つのトランジスタTr21、Tr22を備えており、上記フォトカプラ52によりレベル変換されたスイッチSW12に対する制御信号に従ってトランジスタTr21、Tr22のON/OFF制御を行うことにより、スイッチSW12に対する制御信号をスイッチSW12に供給する。

【0094】スイッチSW12は、スキャンドライバの電源ラインと第4の信号ラインOUTB'との間に直列に接続されたトランジスタと抵抗R4とを含み構成される。上記トランジスタのドレインは、ダイオードを介してスキャンドライバの電源ラインに接続されており、ソースは抵抗R3を介して第4の信号ラインOUTB'に接続されている。また、上記トランジスタのゲートは、上記MOSドライバ53の出力端子に接続され、上記MOSドライバによりレベルシフトされたSW12に対する駆動電圧が供給される。

【0095】また、鈍波発生回路22'は、駆動用のMOSドライバ54とスイッチSW11'を含み構成される。なお、鈍波発生回路22'においては、スイッチ

SW11'を構成するトランジスタのソースがグランドに接続されており、当該トランジスタはグランドを基準レベルとして動作するため、フォトカプラ等のレベル変換回路は不要である。

【0096】上記MOSドライバ54は、図示しない駆動信号発生回路から供給されるグランドレベルを基準とするスイッチSW11'に対する制御信号をスイッチSW11'のゲート駆動レベルにレベルシフトし、スイッチSW11'に供給する。このMOSドライバ54は、上記MOSドライバと同様に、2つのトランジスタTr23、Tr24を備えている。

【0097】また、スイッチ11'は、スキャンドライバの電源ラインとGNDとの間に直列に接続されたトランジスタと抵抗R2'を含み構成される。上記トランジスタのドレインは、ダイオードを介してスキャンドライバの電源ラインに接続されており、ソースは抵抗R2'を介してGNDに接続されている。また、上記トランジスタのゲートは、上記MOSドライバ54の出力端子に接続され、上記MOSドライバ54によりレベルシフトされたSW11'に対する駆動電圧が供給される。

【0098】図8は、上記図6および図7に示す駆動装置を用いた駆動波形のタイムチャートである。図8においては、1フレームを構成する複数のサブフィールドのうちの1サブフィールド分を示している。なお、この図8は、直前のサブフィールドの処理において、共通電極X側のコンデンサC1、走査電極Y側のコンデンサC2に電圧($V_s/2$)分の電荷が蓄積されているものとして説明している。また、以下の説明では、共通電極X側のスイッチSW1～SW6の制御は、上述した図18と同じであるので、共通電極X側のスイッチSW1～SW6の制御については説明を省略する。

【0099】リセット期間においては、まず、共通電極Xに負の電圧($-V_s/2$)を印加する。また、これと同時に、走査電極Y側のスイッチSW7をONにし、スイッチSW1'～SW5'、SW8、SW9、SW11'、SW12をOFFにする。これにより、全ての走査電極Yに正の電圧Vw'($=V_s/2 + V_w$)を印加する。この走査電極Yに印加する正の電圧($V_s/2 + V_w$)は、抵抗R1の作用により、印加電圧が時間経過とともに連続的に変化するよう印加される。

【0100】次に、共通電極Xの電圧をグランドレベル(0V)した後、共通電極Xに正の電圧($V_s/2$)を印加する。一方、走査電極Y側については、電圧が徐々に降下し最終的に負の電圧($-V_s/2$)に達する鈍波を走査電極Yに印加する。このとき、走査電極Yに印加する鈍波は、まず、スイッチSW7をOFFにし、鈍波発生回路22'内のスイッチSW11'をONにすることにより、走査電極YをGNDレベルにする鈍波を印加する。そして、走査電極Yの電圧がグランドレベルになった後、スイッチSW11'をOFFにし、スイッチS

W2' および鈍波発生回路51内のスイッチSW12をONにすることにより、走査電極Yに印加する電圧を負の電圧($-V_s/2$)にする鈍波を印加する。

【0101】これにより、すべてのセルにおいて壁電荷自身の電圧が放電開始電圧を越えて放電が開始される。このときも鈍波の印加によって微弱放電が行われ、蓄積されていた壁電荷が一部を除いて消去される。以下、アドレス期間および維持放電期間では、上述した第1の実施形態による駆動装置と同様な制御を行い、図8に示す電圧を各電極に印加する。

【0102】このように、走査電極Yに正の電圧Vw'からGNDに変化する鈍波を印加する鈍波発生回路22' と、GNDから負の電圧($-V_s/2$)に変化する鈍波を印加する鈍波発生回路51とを設けることにより、新たな電源を設けることなく、時間経過とともに走査電極Yの電位を正の電圧Vw'から負の電圧($-V_s/2$)に変えることができる。

【0103】しかしながら、図8に示すように、走査電極Yの電位を正の電圧Vw'から負の電圧($-V_s/2$)にするには、スイッチSW2'、SW11' およびSW12をあわせて制御しなければならず、スイッチ制御が複雑となる。すなわち、まず、走査電極Yの電位を正の電圧Vw'からGNDにする際には、鈍波発生回路22'内のスイッチSW11をONにし、走査電極Yの電位がGNDになった後、上記スイッチSW11をOFFにして、鈍波発生回路51内のスイッチSW12をONにするとともに、スイッチSW2'をONにしなければならない。

【0104】これに対し、上述した図1～図3に示した第1の実施形態による駆動装置によれば、図5のタイムチャートに示したように走査電極Yの電位を正の電圧Vw'から負の電圧($-V_s/2$)にする際、鈍波発生回路33内のスイッチSW10のみONにするだけで、容易に走査電極Yの電位を正の電圧Vw'から負の電圧($-V_s/2$)にすることができる。すなわち、1つのスイッチをONにするだけで、走査電極Yの電位を正の電圧Vw'から負の電圧($-V_s/2$)にする鈍波を走査電極Yに印加することができる。

【0105】なお、上述した第1の実施形態においては、図4に示すような第3の信号ラインOUTA'上のノードAとGNDとの間にダイオード、トランジスタTr3、抵抗R3がこの順に直列に接続されたスイッチSW10を用いていたが、上記図4に示すスイッチSW10に限らず、さまざまな回路でスイッチSW10を構成することができる。

【0106】図9は、スイッチSW10の他の回路構成例を示す図である。図9(a)において、スイッチSW10-1は、図4では第1の信号ライン上のノードAとGNDとの間に、ダイオード、トランジスタ、抵抗の順に直列に接続されていたスイッチを、ダイオード、抵

抗、トランジスタの順に直列に接続したものである。このように、スイッチ内で直列に接続されるトランジスタと抵抗との接続を入れ替えて、上述した図5に示す印加する電圧を正の電圧Vw'から負の電圧($-V_s/2$)に変化させる鈍波を走査電極Yに供給することができる。

【0107】また、上記トランジスタのゲートには抵抗が接続されており、この抵抗は上述した図4の抵抗R5に相当するものである。したがって、上記トランジスタのゲートに接続されている抵抗の抵抗値を変えることにより、トランジスタがOFF状態からON状態になった後、ノードAの電位がGNDになるまでの時間に対する電位の変化率を変えることができる。

【0108】図9(b)において、スイッチSW10-2は、第1の信号ライン上のノードAとGNDとの間に、ダイオード、トランジスタ、抵抗の順に直列に接続されたスイッチSW10に、さらにダイオードとトランジスタとの間にツェナーダイオードZDを直列に接続したものである。このようにダイオードとトランジスタとの間にツェナーダイオードZDを接続することにより、図10の駆動波形のタイムチャートに示すように、鈍波を印加した際の到達電位($-V_s/2$)以上の任意の電位($-V_s/2 + V_z$)に設定することができる。すなわち、リセット期間中の全面消去期間に印加する電圧にオフセットをかけることができる。これにより、維持放電期間に点灯させるセルを選択するアドレス期間において、より安定したセルの選択(アドレッシング)ができる。例えば、プラズマディスプレイパネルの製造過程における誤差(製造バラツキ)等にあわせて、全面消去期間に印加する電圧にオフセットをかけることで、確実に点灯させるセルを選択することができるようになる。

【0109】また、上記トランジスタのゲートには抵抗が接続されており、この抵抗は上述した図4の抵抗R5に相当し、またトランジスタのソースとGNDとの間に接続されている抵抗は上述した図4の抵抗R3に相当するものである。したがって、上記トランジスタのゲートおよびソースに接続されているそれぞれの抵抗の少なくとも一方の抵抗値を変えることにより、トランジスタがOFF状態からON状態になった後、ノードAの電位がGNDになるまでの時間に対する電位の変化率を変えることができる。

【0110】図9(c)において、スイッチSW10-3は、第1の信号ライン上のノードAとGNDとの間に、ダイオード、トランジスタ、抵抗の順に直列に接続されていたスイッチSW10のトランジスタ(MOSFET)をIGBT(InsulatedGate Bipolar Transistor)素子に置き換えたものである。このIGBT素子は、3端子のバイポーラ-MOS複合素子であり、MOSFETよりも動作抵抗が小さく、電力ロスが少なくて済む。

【0111】また、上記IGBTのゲートには抵抗が接続されており、この抵抗は上述した図4の抵抗R5に相当し、またIGBTのソースとGNDとの間に接続されている抵抗は上述した図4の抵抗R3に相当するものである。したがって、上記IGBTのゲートおよびソースに接続されているそれぞれの抵抗の少なくとも一方の抵抗値を変えることにより、IGBTがOFF状態からON状態になった後、ノードAの電位がGNDになるまでの時間に対する電位の変化率を変えることができる。

【0112】図9(d)において、スイッチSW10-4は、第1の信号ライン上のノードAとGNDとの間に、ダイオード、トランジスタ、抵抗の順に直列に接続されていたスイッチSW10のトランジスタ(MOSFET)をバイポーラトランジスタに置き換え、第1の信号ライン上のノードAとGNDとの間に、ダイオード、抵抗、バイポーラトランジスタの順に直列に接続したものである。

【0113】また、上記バイポーラトランジスタのベースには抵抗が接続されており、この抵抗は上述した図4の抵抗R5に相当するものである。したがって、上記バイポーラトランジスタのベースに接続されている抵抗の抵抗値を変えることにより、バイポーラトランジスタがOFF状態からON状態になった後、ノードAの電位がGNDになるまでの時間に対する電位の変化率を変えることができる。

【0114】(第2の実施形態) 次に、本発明の第2の実施形態について説明する。図11は、第2の実施形態による駆動装置の回路構成例を示す図である。なお、この図11において、図2に示した駆動装置と同じ機能を有する部分には、同一の符号を付し、重複する説明は省略する。

【0115】上記図11に示す駆動装置は、上記図2に示した第1の実施形態による駆動装置の共通電極X側および走査電極Y側のそれぞれに負荷20に供給した電荷を回収する電力回收回路61、61'を設けたものである。なお、電力回收回路61、61'は同じ構成であるので、以下では電源回收回路61について説明する。

【0116】電力回收回路61はコイルL1、L2の2系統で構成されている。また、コイルL1、L2と負荷20の共通電極X(出力ラインOUTC)とは、複数のダイオードD2、D3によって分離されている。コンデンサC3は回収した電荷を蓄積するためのコンデンサである。

【0117】また、電力回收回路61は、クランプ用のダイオードとして4つのダイオードD10～D13を備えている。ダイオードD10、D11は、第1の信号ラインOUTAと第2の信号ラインOUTBとの間に直列に接続され、その中間ノードがダイオードD8のカソードとコイルL1との間に接続される。また、ダイオードD12、D13は、第1の信号ラインOUTAと第2の

信号ラインOUTBとの間に直列に接続され、その中間ノードがダイオードD9のアノードとコイルL2との間に接続される。

【0118】上記のように電力回收回路61を構成することにより、上記容量負荷20と、2つのダイオードD2、D3を介して接続される2つのコイルL1、L2により、2系統の直列共振回路が構成される。すなわち、この電力回收回路61は、2系統のL-C共振回路を持つものであり、コイルL1と容量負荷20との共振によってパネルに供給した電荷を、コイルL2と容量負荷20との共振によって回収するものである。

【0119】図12は、上記図11に示した駆動装置による駆動波形のタイムチャートである。なお、この図12において、リセット期間およびアドレス期間において、共通電極X、走査電極Yおよびアドレス電極Aに印加する駆動波形は、図5に示した駆動波形と同じであるので、重複する説明は省略する。

【0120】図12の維持放電期間において、共通電極Xおよび走査電極Yに±Vs/2の電圧を印加する際、2つのダイオードD2、D3を介して接続される2つのコイルL1、L2とにより構成された2系統の直列共振回路を用いて、負荷20に供給した電荷の回収および回収した電荷の供給を繰り返す。

【0121】例えば、走査電極Yに電圧Vs/2を印加する場合には、まず、回収した電荷を走査電極Yに供給し、その後スイッチを制御することにより、走査電極Yの電位をVs/2に到達させる。また、走査電極Yの電位をVs/2からGNDにする際には、負荷20に供給した電荷を回収することで、負荷20に形成されている走査電極Yの電位をGND付近に下げ、スイッチを制御することにより、走査電極Yの電位をGNDに到達する。

【0122】このように負荷20に供給した電荷の回収および回収した電荷の供給を繰り返し、図12に示すように共通電極Xおよび走査電極Yに±Vs/2を印加する際の消費電力を抑制する。

【0123】以上、説明したように第2の実施形態によれば、第1の実施形態の効果に加え、共通電極X側および走査電極Y側に電力回收回路61、61'をそれぞれ設けたことにより、維持放電期間における共通電極Xと走査電極Yとの放電を行うために印加する電圧を、負荷20から電力回收回路61、61'により回収した電荷を用いて供給することができ、消費電力を抑制し効率良く維持放電を行うことができる。

【0124】なお、上記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

【0125】

【発明の効果】以上説明したように、本発明によれば、表示手段となる容量性負荷に印加する所定の電圧を生成する電源回路により生成された電圧の高電位側を供給する信号線と接地との間に上記容量性負荷に印加する傾斜波形を発生する傾斜波形発生回路を接続する。これにより、上記傾斜波形発生回路の基準電位を接地電位として動作させることができ、複数の電源回路や上記傾斜波形発生回路の制御信号の基準電位を変換する信号伝達回路を設けなくとも、簡単な回路構成で安定した傾斜波形を出力することができる。

【図面の簡単な説明】

【図1】第1の実施形態による交流駆動型PDPの駆動装置の構成例を示す図である。

【図2】第1の実施形態による駆動装置の具体的な回路構成例を示す図である。

【図3】第1の実施形態の駆動装置における鈍波発生回路の構成を説明するためのブロック図である。

【図4】レベルシフト回路およびスイッチSW10の具体的な回路構成の一例を示す図である。

【図5】第1の実施形態による駆動装置の駆動波形を示すタイムチャートである。

【図6】第1の実施形態による駆動装置と比較するための駆動装置の回路構成例を示す図である。

【図7】鈍波発生回路の詳細な回路構成を示す図である。

【図8】図6に示す駆動装置を用いた駆動波形のタイムチャートである。

【図9】スイッチSW10の他の回路構成例を示す図である。

* 【図10】第1の実施形態による駆動装置の駆動波形のタイムチャートである。

【図11】第2の実施形態による交流駆動型PDPの駆動装置の回路構成例を示す図である。

【図12】第2の実施形態による駆動装置の駆動波形のタイムチャートである。

【図13】交流駆動型PDP装置の全体構成を示す図である。

【図14】1画素である第*i*行第*j*列のセルC_{ij}の断面構成を示す図である。

【図15】従来の交流駆動型PDPの駆動方法の一例を示すタイムチャートである。

【図16】交流型PDPの駆動装置の回路構成例を示す図である。

【図17】鈍波発生回路の詳細な回路構成を示す図である。

【図18】交流駆動型PDPの駆動方法の一例を示すタイムチャートである。

【符号の説明】

20 1 交流駆動型PDP

20 負荷

31、31' 電源回路

32、32' ドライバ回路

33 鈍波発生回路

34 スキャンドライバ

OUTA 第1の信号ライン

OUTB 第2の信号ライン

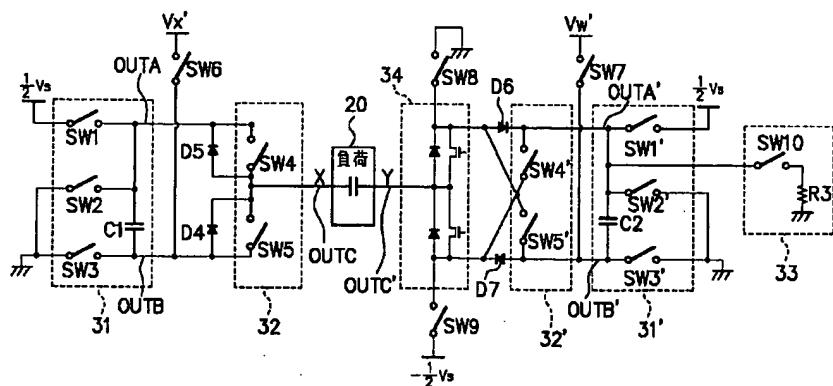
OUTA' 第3の信号ライン

OUTB' 第4の信号ライン

*30

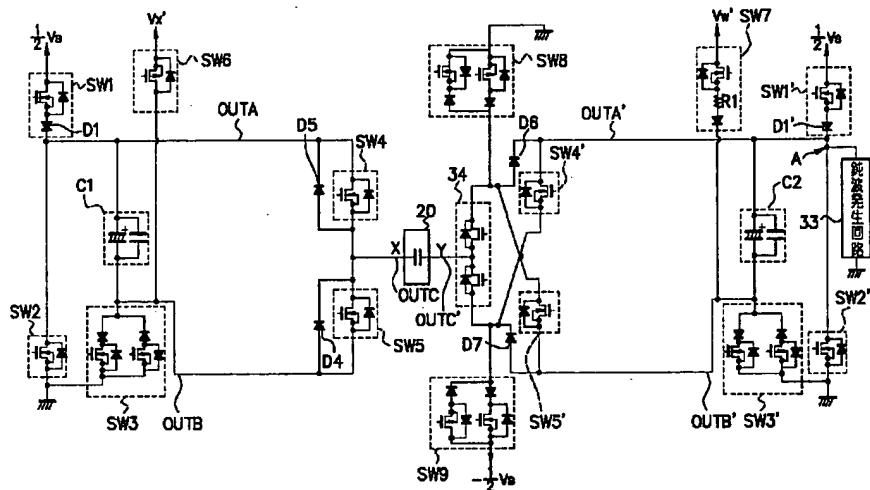
【図1】

第1の実施形態



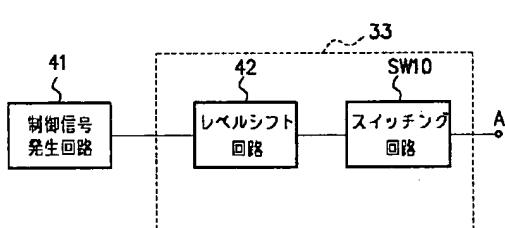
【図2】

第1の実施形態の回路構成例



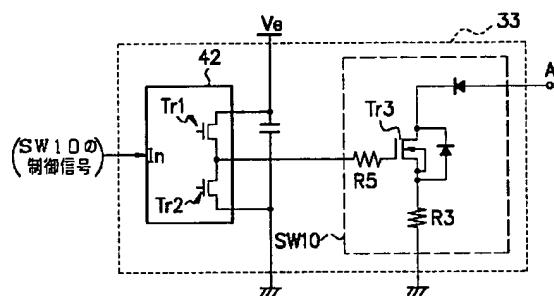
【図3】

鋸波発生回路のブロック構成図



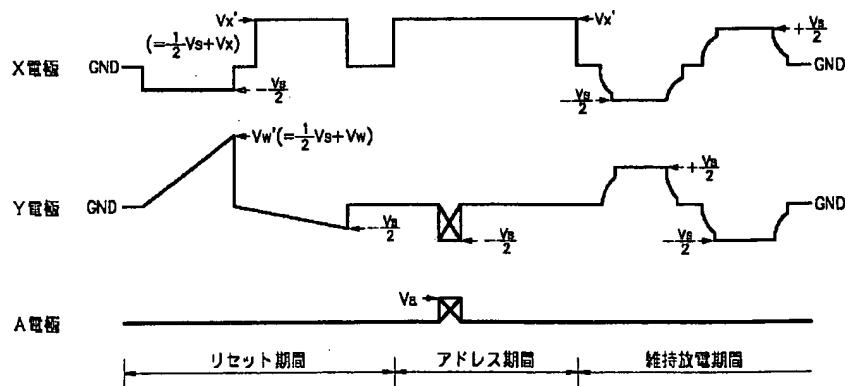
【図4】

鋸波発生回路の回路構成図

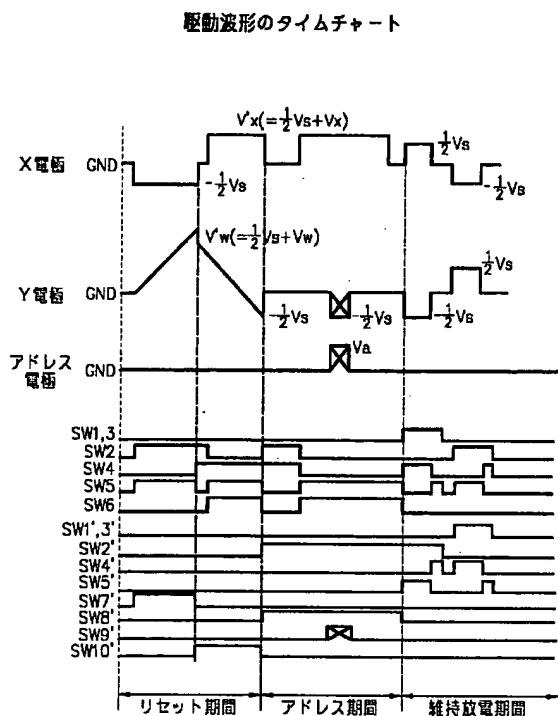


【図12】

駆動波形のタイムチャート

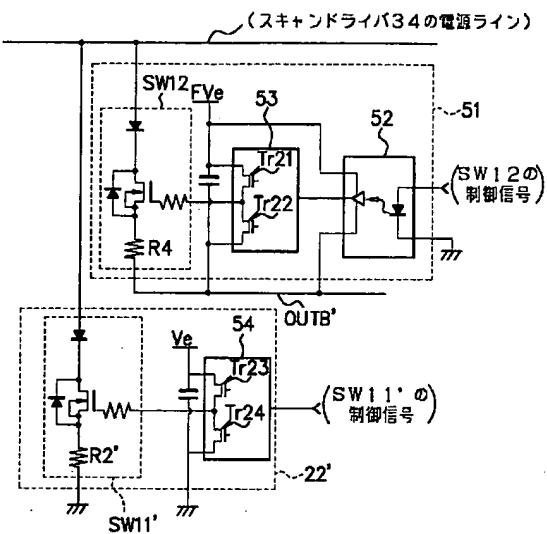


【図5】



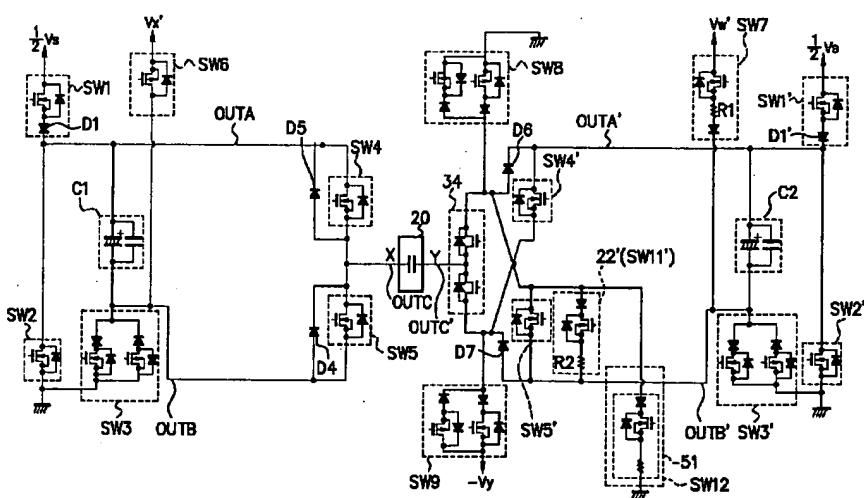
【図7】

比較回路例における鋸波発生回路の構成例



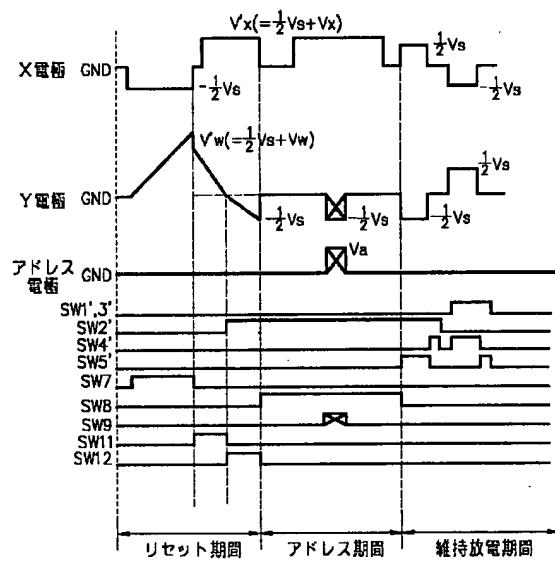
【図6】

第1の実施形態に対する比較回路例



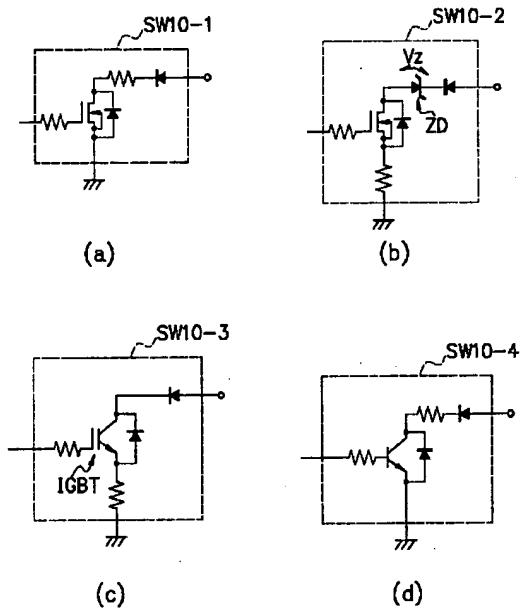
【図8】

駆動波形のタイムチャート



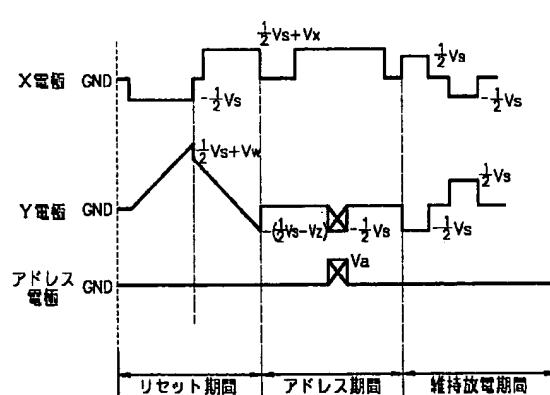
【図9】

スイッチング回路の他の回路例



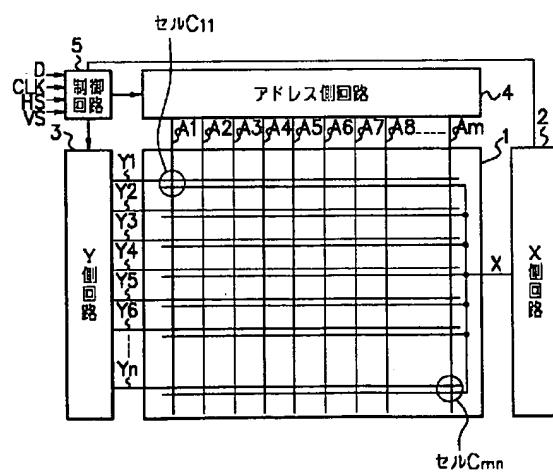
【図10】

駆動波形のタイムチャート



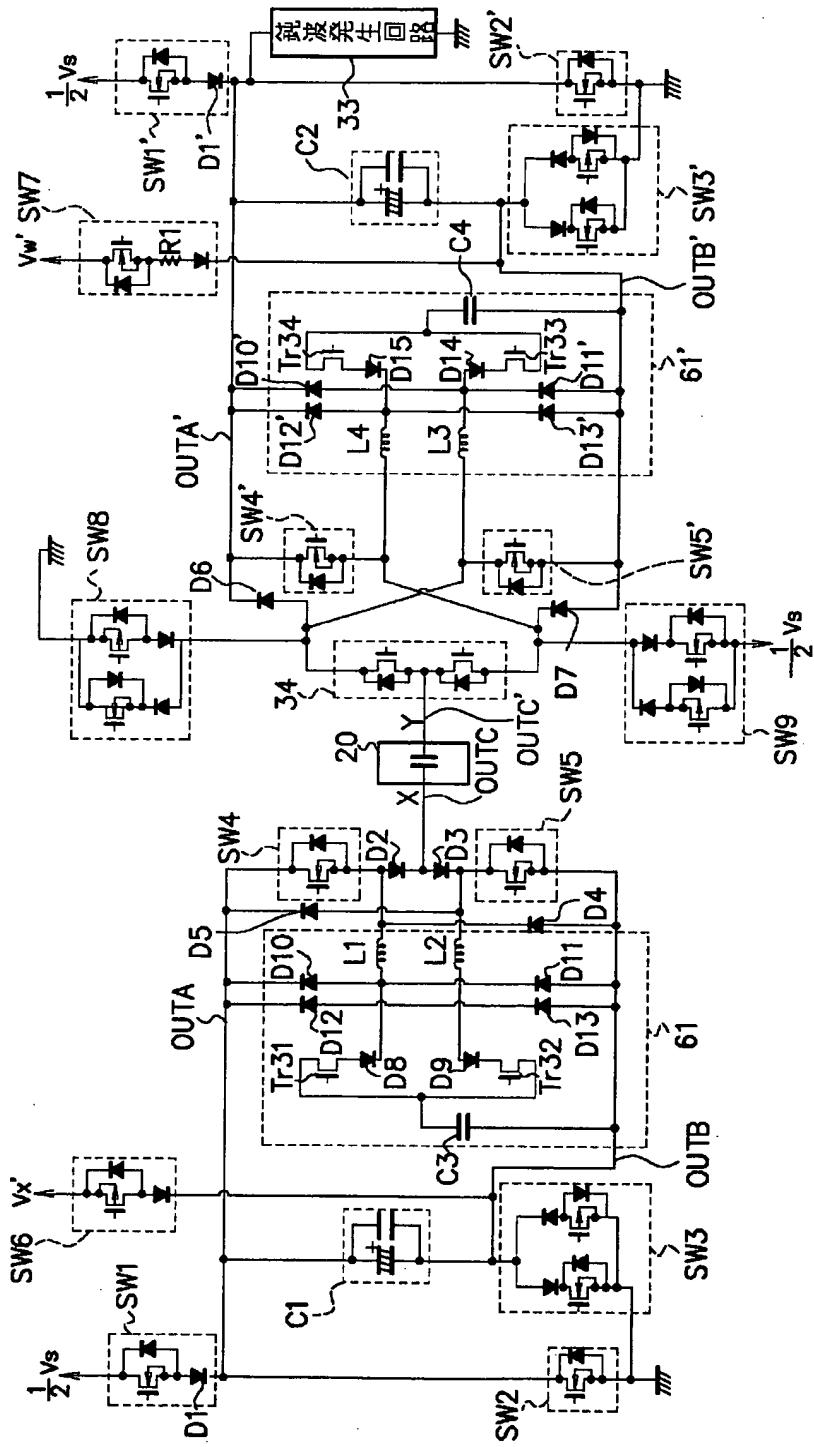
【図13】

交流駆動型プラズマディスプレイ装置

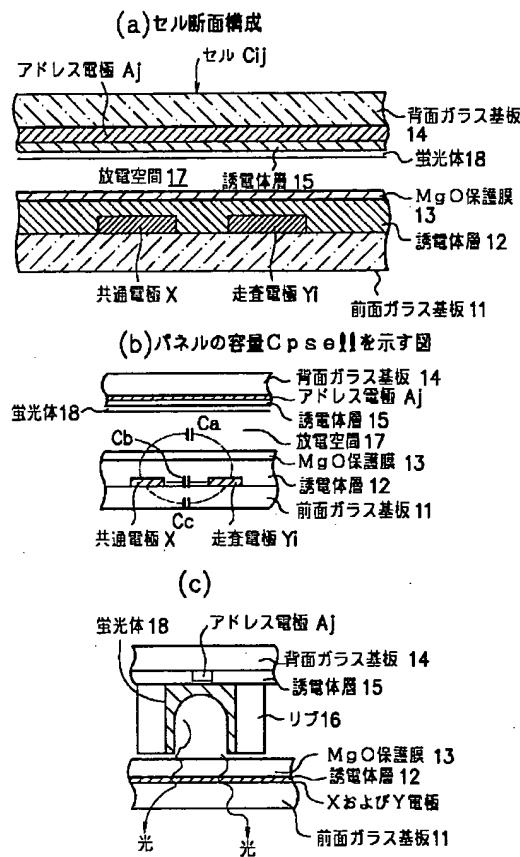


【図11】

第2の実施形態

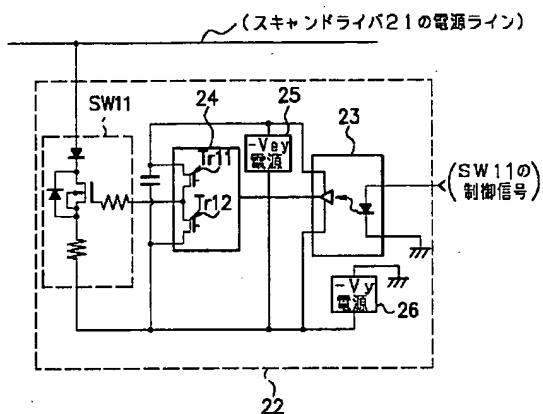


【図14】

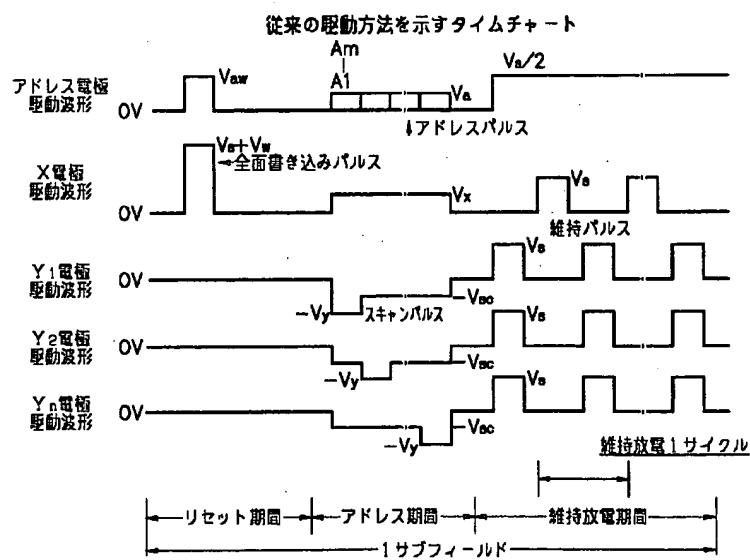


【図17】

図16に示す駆動回路の詳細な回路構成

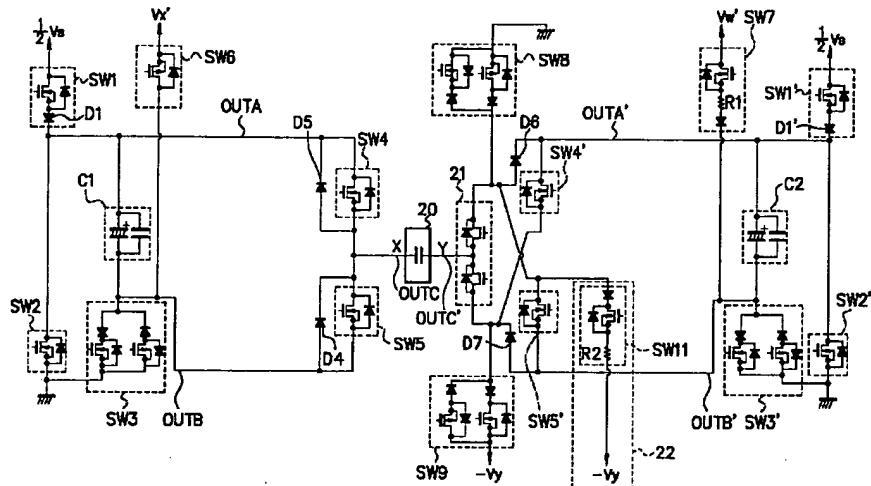


【図15】



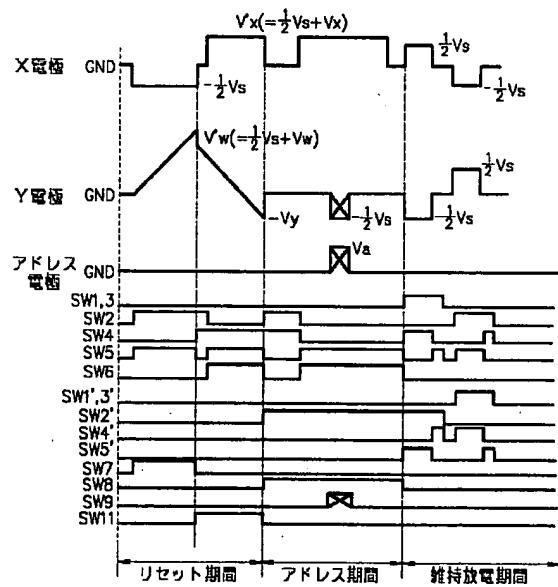
【図16】

交流駆動型PDPの駆動装置の回路構成例



【図18】

駆動波形のタイムチャート



フロントページの続き

(72)発明者 坂本 哲也
神奈川県川崎市高津区坂戸3丁目2番1号
富士通日立プラズマディスプレイ株式会
社内

F ターム(参考) 5C080 AA05 DD09 DD22 HH02 HH04
HH07 JJ02 JJ03 JJ04 JJ06